

## 明 細 書

### FIRフィルタ

### 技術分野

- [0001] 本発明は、高速動作および柔軟な構成を容易に可能にするFIRフィルタに関するものである。

### 背景技術

- [0002] フィルタは、信号処理において欠かすことにできない回路要素であり、デジタル信号処理においても最頻出する最重要な回路である。デジタルフィルタの構成方法には、FIR (Finite Impulse Response) フィルタとIIR (Infinite Impulse Response) フィルタとの2種類があるが、常に安定した特性が得られるFIRフィルタの方が使いやすい回路である(例えば、特開昭59-103418号公報参照)。
- [0003] 図8は、FIRフィルタの最も一般的な構成の一つである直接形構成の一例を示す。図中、符号100は入力遅延回路としての遅延回路を示し、この遅延回路100は単に入力データを1クロックサイクル分遅延させて次段に渡すものである。符号101は乗算回路としての乗算器、102は加算器を示す。この構成では遅延回路100の前後のデータ取り出し回路を「タップ」、そのデータ取り出し回路に接続された乗算器101の並んでいる数を「タップ数」と呼び、したがって図8は7タップ構成のFIRフィルタの例である。符号103は入力信号(フィルタ入力データ)、104は遅延回路100から出力されて順次後続のタップおよび遅延回路100へ渡される入力データ、105は出力信号(フィルタ出力データ)をそれぞれ示す。
- [0004] 図9は、図8に示すFIRフィルタの一般的な構成において乗算器の係数を可変にしてフィルタ特性を任意に設定可能とした、適応デジタルフィルタの回路例であり、符号106は乗算係数可変型の乗算器、107はその係数を記憶する記憶回路をそれぞれ示す。
- [0005] 図10は、ビットスライス構成を採用してデータのビット幅を可変にしたFIRフィルタの回路例である。この例では入力信号を上位ビット群108と下位ビット群109との2つのビット群に分割するとともに、複数の遅延回路100とそれらに対応する乗算器101お

よび加算器102とを図では上下の2組に分けており、例えば、各組が12ビットずつ処理可能であれば、両方で24ビットの処理が可能となる。符号110は上位ビット群の部分出力データ、111は下位ビット群の部分出力データであり、この2つからフィルタ出力加算器としての後処理回路112が元の入力信号のビット長に等しいビット長の出力信号(フィルタ出力データ)105を生成する。

- [0006] このようなFIRフィルタにおいては、システムにとって望ましい急峻なフィルタ特性を実現しようとする場合、次数を高くした規模の大きな回路を用意する必要がある(例えば、1988年コロナ社発行の辻井重男監修「ディジタル信号処理の基礎」第4章4.2参照)、実際にはLSIのチップ面積やFPGAのゲート数の制限によって、十分な規模のフィルタを用意することは一般に困難である。そして、特にビット数の多い高精度の信号処理が必要な場合は、必要なゲート数や実装面積はビット数の2乗で増大すると考えられるため、上記の困難性が増すことになる。
- [0007] また、ディジタル信号処理では、処理対象の信号をディジタル信号に変換(サンプリング)してから処理を行うが、その際には対象信号の持つ周波数帯域の上限に対して1桁以上高い周波数でサンプリングし、かつ、後続のディジタル信号処理回路も同様のスループットで動作する必要がある。つまり、周波数帯域の上限が10MHzである信号の処理には100MHz以上の周波数でのサンプリングが必要となるとともに100MHz以上の周波数で動作するディジタル信号処理回路が必要となり、100MHzまでの信号を処理するには1GHz以上の周波数で動作するディジタル信号処理回路が必要となる。このように、ディジタル信号処理回路には高い動作周波数が要求される。
- [0008] しかしながら現在、特別に設計された一部のCPU等を除くと、一般的に利用可能なCMOSプロセスによるLSI技術で実現可能なディジタル回路の動作周波数は、およそ2GHz以下であり、特に規模の大きなディジタルフィルタを構成しようとした場合には、動作周波数はさらに下がり、1GHz以上で動作するLSIを安価に開発することは実際上不可能である。
- [0009] それゆえ本発明は、2GHz以上の高速動作が可能でかつ高次、高精度のFIRフィルタ、つまり、大規模なディジタルフィルタを安価に作製できるようにすることを目的としている。

## 発明の開示

- [0010] 上記課題を有利に解決した本発明は、高速動作が可能なFIRフィルタ用の複数種類の要素回路を同期動作するように組み合わせることによって、高速動作可能でかつ高次、高精度のFIRフィルタ、ひいては大規模なデジタルフィルタを構成することを特徴とするものであり、その複数種類の要素回路は、1種類の要素回路で代用することができるものである。
- [0011] すなわち、本発明のFIRフィルタは、互いに縦続接続されるとともに各々入力データを遅延させて出力する複数の入力遅延回路と、前記複数の入力遅延回路のそれぞれの入力データと最後段の入力遅延回路の出力データとにそれぞれ係数を乗算して部分出力データとする複数の乗算回路とを具え、前記複数の乗算回路の部分出力データを互いに加算してフィルタ出力データとするFIRフィルタにおいて、それぞれ前記縦続接続された複数の入力遅延回路をその縦続接続方向に沿って複数に分割してなる一または複数の入力遅延回路および前記一または複数の入力遅延回路に接続された一または複数の乗算回路を有して、前記一または複数の乗算回路の部分出力データから部分和数据を求める複数の要素回路を具え、前記複数の要素回路のうち、初段の要素回路は前記部分和数据をそのまま出力し、二段目以降の要素回路はその要素回路内で求めた前記部分和数据を遅延させたものを前段の要素回路の出力する部分和数据に加算して求めた部分和数据を出力し、最終段の要素回路は出力する部分和数据をフィルタ出力データとすることを特徴とするものである。
- [0012] また、本発明のFIRフィルタ用要素回路は、1または互いに縦続接続された複数の前記入力遅延回路と、前記1または複数の入力遅延回路の入力データにそれぞれ係数を乗算して部分出力データとする1または複数の前記乗算回路と、前記1または複数の乗算回路の部分出力データを互いに加算して部分和数据とする部分出力加算器と、を有することまたはこれらに加えてさらに、前記部分出力加算器の部分和数据を遅延させる部分和遅延回路と、前記部分和遅延回路が遅延させた部分和数据を前記初段要素回路または前段の前記中間段要素回路の部分和数据と加算して部分和数据とする部分和加算器と、を有すること、もしくは、前記部分出力加

算器の部分和数据を遅延させる部分遅延回路と、前記部分遅延回路が遅延させた部分和数据を前段の前記中間段要素回路の部分和数据と加算してフィルタ出力データとする部分加算器と、を有することを特徴としている。

[0013] 本発明のFIRフィルタによれば、FIRフィルタの互いに縦続接続された多数の入力遅延回路を途中のタップの位置で複数に分割(スライス)して構成した、それぞれ一または複数の入力遅延回路および前記一または複数の入力遅延回路に接続された一または複数の乗算回路を有して前記乗算回路の部分出力データから部分和数据を求める複数の要素回路を具え、それら複数の要素回路のうち、初段の要素回路については前記部分和数据をそのまま出力し、二段目以降の要素回路についてはその要素回路内で求めた前記部分和数据を遅延させたものを前段の要素回路の出力する部分和数据に加算して求めた部分和数据を出力し、特に二段目以降のうち最終段の要素回路については出力する部分和数据をフィルタ出力データとするようにして、前記複数の要素回路の部分和数据同士を同期させて加算するので、任意の次数、精度(ビット数)を持ちかつ2GHz以上の高速で動作し得るタップスライス型のFIRフィルタを実現することができる。

[0014] なお、本発明のFIRフィルタにおいては、フィルタ入力データを入力される1または互いに縦続接続された複数の前記入力遅延回路と、前記1または複数の入力遅延回路の入力データにそれぞれ係数を乗算して部分出力データとする1または複数の前記乗算回路と、前記1または複数の乗算回路の部分出力データを互に加算して部分和数据とする部分出力加算器と、を有する1つの初段要素回路と、前記初段要素回路または前段の当該中間段要素回路の最終段の入力遅延回路の出力データを入力される1または互いに縦続接続された複数の前記入力遅延回路と、前記1または複数の入力遅延回路の入力データにそれぞれ係数を乗算して部分出力データとする1または複数の前記乗算回路と、前記1または複数の乗算回路の部分出力データを互に加算して部分和数据とする部分出力加算器と、前記部分出力加算器の部分和数据を遅延させる部分遅延回路と、前記部分遅延回路が遅延させた部分和数据を前記初段要素回路または前段の当該中間段要素回路の部分和数据と加算して部分和数据とする部分加算器と、を有する1または複数の中間

段要素回路と、前段の前記中間段要素回路の最終段の入力遅延回路の出力データを入力される1または互いに縦続接続された複数の前記入力遅延回路と、前記1または複数の入力遅延回路の入力データと最後段の入力遅延回路の出力データとにそれぞれ係数を乗算して部分出力データとする複数の前記乗算回路と、前記複数の乗算回路の部分出力データを互いに加算して部分和数据とする部分出力加算器と、前記部分出力加算器の部分和数据を遅延させる部分和遅延回路と、前記部分和遅延回路が遅延させた部分和数据を前段の前記中間段要素回路の部分和数据と加算してフィルタ出力データとする部分和加算器と、を有する1つの終段要素回路と、を具備してもよく、このようにすれば、中間段要素回路と終段要素回路とに組み込んだ部分和遅延回路で、初段要素回路から最終段要素回路まで要素回路の部分和数据と要素回路内部の部分和数据とを同期させて加算し得るので、任意の次数、精度(ビット数)を持ちかつ2GHz以上の高速で動作し得るタップスライスのFIRフィルタを実現することができ、しかも、初段要素回路と中間段要素回路と終段要素回路との3種類に纏めた要素回路の量産効果によって、ハイエンドのデジタルフィルタのコストを容易に削減することができる。

[0015] また、本発明のFIRフィルタにおいては、元のフィルタ入力データから分割された複数の分割入力データにそれぞれ対応する複数の要素回路組であって、各要素回路組が前記初段要素回路と前記中間段要素回路と前記終段要素回路とからなり、それらの要素回路組の互いに対応する段の要素回路の前記乗算回路の前記係数が揃えられている複数の要素回路組と、前記複数の要素回路組の前記終段要素回路が出力するフィルタ出力データとしての部分出力データを小数点位置をそろえて互いに加算して元の入力データに対応するビット長のフィルタ出力データを出力するフィルタ出力加算器と、を具備してもよく、このようにすれば、本発明のFIRフィルタによってビットスライス型のFIRフィルタをも構成し得て、より大規模なデジタルフィルタを構成することができる。

[0016] さらに、本発明のFIRフィルタにおいては、前記乗算回路が前記係数を変更可能なものであってもよく、このようにすれば、フィルタ特性を任意に変更し得て、大規模な適応デジタルフィルタを構成することができる。

[0017] 一方、1または互いに縦続接続された複数の前記入力遅延回路と、前記1または複数の入力遅延回路の入力データにそれぞれ係数を乗算して部分出力データとする1または複数の前記乗算回路と、前記1または複数の乗算回路の部分出力データを互いに加算して部分和数据とする部分出力加算器と、を有する本発明のFIRフィルタ用要素回路は、先の本発明のFIRフィルタの初段要素回路に用いることができ、これらに加えてさらに、前記部分出力加算器の部分和数据を遅延させる部分遅延回路と、前記部分遅延回路が遅延させた部分和数据を前記初段要素回路または前段の前記中間段要素回路の部分和数据と加算して部分和数据とする部分加算器と、を有する本発明のFIRフィルタ用要素回路は、先の本発明のFIRフィルタの中間段要素回路に用いることができ、そして最初の要素回路に加えてさらに、前記部分出力加算器の部分和数据を遅延させる部分遅延回路と、前記部分遅延回路が遅延させた部分和数据を前段の前記中間段要素回路の部分和数据と加算してフィルタ出力データとする部分加算器と、を有する本発明のFIRフィルタ用要素回路は、先の本発明のFIRフィルタの終段要素回路に用いることができる。

[0018] なお、前記中間段要素回路に用いることができるFIRフィルタ用要素回路は、その一部の構成要素やデータを使用しないことにより、前記初段要素回路と前記終段要素回路との少なくとも一方に代用されてもよく、このようにすれば、要素回路の種類を減らし得て、要素回路の量産効果をさらに高めて、ハイエンドのデジタルフィルタのコストをさらに削減することができる。

[0019] また、前記FIRフィルタ用要素回路においては、前記乗算回路は前記係数を変更可能なものであってもよく、このようにすれば、フィルタ特性を任意に変更し得て、大規模な適応デジタルフィルタを容易に構成することができる。

#### 図面の簡単な説明

[0020] [図1]図1は、本発明のFIRフィルタの一実施例としてのビットスライス型FIRフィルタを示す説明図である。

[図2]図2は、上記実施例のFIRフィルタの各要素回路組に用いられるタップスライス構成の説明図である。

[図3]図3は、上記実施例のFIRフィルタに用い得る、本発明のFIRフィルタ用要素回

路の一実施例としての初段要素回路を示す説明図である。

[図4]図4は、上記実施例のFIRフィルタに用い得る、本発明のFIRフィルタ用要素回路の一実施例としての中間段要素回路を示す説明図である。

[図5]図5は、上記実施例のFIRフィルタに用い得る、本発明のFIRフィルタ用要素回路の一実施例としての最終段要素回路を示す説明図である。

[図6]図6は、上記実施例のFIRフィルタに用い得る、本発明のFIRフィルタ用要素回路の一実施例としての後処理回路を示す説明図である。

[図7]図7は、本発明に基づく部分和遅延回路の遅延設定値の設定方法を示す説明図である。

[図8]図8は、FIRフィルタの原理図である。

[図9]図9は、適応デジタルフィルタ型のFIRフィルタの説明図である。

[図10]図10は、ビットスライス構成のFIRフィルタの説明図である。

発明を実施するための最良の形態

[0021] 図1は、本発明FIRフィルタの一実施例としてのビットスライス型FIRフィルタの概要を示す説明図である。図中符号1〜4は、1つのFIRフィルタを構成する要素回路を示し、1は中間段要素回路、2は初段要素回路、3は最終段要素回路、4はビットスライス構成におけるフィルタ出力加算器としての後処理回路である。また、符号5〜12は、要素回路間でやりとりされる信号を示し、5はフィルタ入力データとしての入力信号の上位ビット群、6は入力信号の下位ビット群、7は要素回路1〜3で遅延されつつ要素回路1〜3間を転送される入力データ、8は要素回路1〜3間を転送される部分和数据、9は各要素回路1〜3内の乗算器の係数および部分和遅延回路の遅延程度を設定する乗算係数・部分和遅延設定信号、10はフィルタ出力データとしての出力信号、11は上位ビット群の部分出力データ、12は下位ビット群の部分出力データである。

[0022] 本実施例では、後処理回路4も含めると4種類の要素回路で1つのFIRフィルタを構成している。入力信号(フィルタ入力データ)は一般に多ビットのデジタル信号として入力されるが、本実施例ではそれを上位と下位との2つのビット群に分けて、それぞれビットスライス処理が可能ないようにビットスライス構成を採用している。例えば、入

力信号が24ビット幅であれば、上位ビット群5には上位の12ビット、下位ビット群6には下位の12ビットが割り当てられる。本実施例のFIRフィルタは、後処理回路4を除いて3種類の要素回路1〜3から構成されており、これら3種類の要素回路が必要なのは、それぞれの要素回路で入出力データが若干異なっているからである。図示のように、これら3種類の要素回路1〜3を縦続接続したものを組にし、その組をビットスライス分だけ、つまりこの実施例では2組、図では上下に並べて、この2つの要素回路組のそれぞれの出力信号11, 12をフィルタ出力加算器としての後処理回路4によって処理して最終出力データ10を得ている。また、要素回路1〜3は内部の乗算器の乗算係数と部分和遅延回路の遅延程度とをそれぞれ可変とされており、それらは設定信号9によって外部から設定可能になっている。なお、2つのビット群をそれぞれ処理する上記2つの要素回路組の乗算器のうち互いに対応するタップ位置の乗算器の乗算係数は互いに揃えて(等しくして)おく。

[0023] 図2は、図1に示す実施例のビットスライス構成における各要素回路組に用いられる、タップ列方向(遅延回路100の縦続接続方向)にFIRフィルタを分割するタップスライス構成の具体的な構成例である。この図2の例は、上記初段要素回路2に対応する一段の初段要素回路115と、上記中間段要素回路1に対応するここでは一段の中間段要素回路116と、上記最終段要素回路3に対応する一段の最終段要素回路117とに分割しており、図1とは中間段要素回路の数が異なっているが、中間段要素回路の数は適宜変更することができる。ここにおける初段要素回路115と中間段要素回路116とは2タップ分、最終段要素回路117は3タップ分のデータを処理しており、それぞれ乗算回路としての乗算器101でタップからの入力データを乗算して得た部分出力データを部分出力加算器118で要素回路内のタップ数分互いに加算して部分和数据を計算した後、初段要素回路115はその計算して得た値そのものを要素回路の部分和数据113として出力する。

[0024] 中間段要素回路116は、部分出力加算器118で要素回路内の部分和数据を計算した後、その部分和数据を部分和遅延回路120で適宜遅らせ、その遅らせた部分和数据と前段の初段要素回路115からの部分和数据113(中間段要素回路116が複数ある場合は2つ目以降の中間段要素回路116では前段の中間段要素回



路116からの部分和数据114)との和を部分和加算器119で計算し、その計算結果の値を中間段要素回路116の部分和数据114として次段に出力する。

[0025] 最終段要素回路117も中間段要素回路116と同様であり、部分出力加算器118で要素回路内の部分和数据を計算した後、その部分和数据を部分和遅延回路120で適宜遅らせ、その遅らせた部分和数据と前段の中間段要素回路116からの部分和数据114との和を部分和加算器119で計算し、その計算結果の値を出力信号105として出力する。

[0026] 次に、上記実施例のFIRフィルタに用い得て図9に示す如き適応デジタルフィルタを構成し得る要素回路を説明する。図3は、本発明のFIRフィルタ用要素回路の一実施例としての、上記初段要素回路2および初段要素回路115に対応する初段要素回路を示すものであり、この実施例では、4タップ分の遅延回路と乗算器とが要素回路に実装されている。符号200は遅延回路、201は乗算器、202は部分出力加算器としての加算器である。また符号203は要素回路への入力信号、204は遅延回路200の出力データである次段の入力データ、205は当該要素回路の部分和数据、206は次段の要素回路への遅延出力データである。そして符号207は乗算係数・部分和遅延設定信号、208は乗算器201の乗算係数記憶回路である。

[0027] 図4は、本発明のFIRフィルタ用要素回路の一実施例としての、上記中間段要素回路1および中間段要素回路116に対応する中間段要素回路を示すものであり、この実施例では、4タップ分の遅延回路と乗算器とが要素回路として実装されている。符号200から208までは図3と同様である。符号209は前段の要素回路の部分和数据205である部分和数据入力データを示す。加算器202で算出した当該要素回路内の部分和数据は、部分和遅延回路211で適宜遅延させ、部分和加算器210で部分和数据入力データ209と加算されて、当該要素回路の部分和数据205として出力される。部分和遅延回路211の遅延時間(遅延程度)は部分和遅延設定記憶回路212の設定値で変化させることができる。また、部分和遅延設定記憶回路212の値は乗算係数・部分和遅延設定信号207で設定可能である。

[0028] 図5は、本発明のFIRフィルタ用要素回路の一実施例としての、上記最終段要素回路3および最終段要素回路117に対応する最終段要素回路を示すものであり、この

実施例では、4タップ分の遅延回路と乗算器とが要素回路として実装されている。この図中の構成は概ね図4の中間段要素回路と同様であり、違いは、ここでは遅延回路200が1つ少なく、次段への遅延出力データ206がない点のみである。

[0029] 図6は、本発明のFIRフィルタ用要素回路の一実施例としての、上記後処理回路4に対応する後処理回路を示すものであり、この実施例では、上位ビット群と下位ビット群の2つに入力データを分割してビットスライス処理を行う場合を示す。符号300が上位ビット群に対する部分出力データ、301が下位ビット群に対する部分出力データである。これら部分出力データ300、301は部分データ加算器302により、小数点の位置を合わせて加算されてフィルタ出力データ303となり、FIRフィルタの最終的な出力信号となる。

[0030] これら実施例の初段要素回路、中間段要素回路および最終段要素回路によれば、中間段要素回路と終段要素回路とに組み込んだ部分和遅延回路211で、要素回路の部分และ出力データと要素回路内部の部分和数据とを同期させて加算し得るので、任意の次数、精度(ビット数)を持ちかつ2GHz以上の高速で動作し得るタップスライス型のFIRフィルタを実現することができ、しかも、初段要素回路と中間段要素回路と終段要素回路との3種類に纏めた要素回路の量産効果によって、ハイエンドのデジタルフィルタのコストを容易に削減することができ、さらに乗算器201の乗算係数記憶回路208が記憶する乗算係数の値は乗算係数・部分和遅延設定信号207で設定・変更可能であるので、フィルタ特性を任意に変更し得て、大規模な適応デジタルフィルタを構成することができる。またこの実施例の初段要素回路、中間段要素回路、最終段要素回路および後処理回路によれば、よりビット幅の大きいデータに対して上記と同様の作用効果を奏し得るビットスライス型のFIRフィルタを実現することができる。

[0031] 上述の説明では4種類の要素回路によってFIRフィルタを構成したが、本発明に基づけば、より少ない種類の要素回路によってFIRフィルタを構成することも可能である。先ず、図5の最終段要素回路は、明らかに図4の中間段要素回路で代用可能である。つまり、図4の要素回路遅延出力データ206を用いないかどこにも接続しないことで、図5の最終段要素回路と同等の機能が達成できる。次に、図3の初段用要素回

路も、図4の中間段要素回路で代用可能であり、図4の要素回路部分と入力データ209の値を0に固定しかつ部分と遅延回路211の遅延を0に設定することで、図3の初段用要素回路と同等の機能が実現できる。

[0032] さらに、図6の後処理回路も、図4の中間段用要素回路で代用可能である。つまり、乗算器201の乗算係数のうち左端の係数の値を1、それ以外の係数の値を0に設定し、かつ、部分と遅延回路211の遅延を0に設定する。この状態で、入力データ203として上位ビット群の部分データ300を、また要素回路部分と入力データ209として下位ビット群の部分データ301を小数点の位置を合わせながら入力すれば、要素回路部分と出力データ205には完全出力データ303と同等の出力データを得ることができる。この場合に、図5の最終段用要素回路同様、要素回路遅延出力データ206は使用しない。

[0033] このように本発明によれば、中間段要素回路だけを用いて、さまざまなビット幅のデータに対する任意の特性を持つ、タップ数の多い大規模なFIRフィルタを構成することができる。

[0034] 図7は、部分と遅延回路の遅延設定値の算出方法の一例を示すものであり、この例では、中間段要素回路が3つ縦続接続されている場合を示す。図3～図5に示す構成要素と対応する構成要素はそれと同じ記号で示している。先ず、初段である図中左側の要素回路で、部分と遅延回路211の部分と遅延設定記憶回路212の遅延設定値を0に設定し、加算器202の出力から部分と遅延回路211を通して部分と加算器210の入力に到達するのにかかる時間を $t_{a1}$ とする。また、部分と加算器210内での計算にかかる時間を $t_{s1}$ 、部分と加算器210の出力から要素回路間のインターフェース400を通して次段の要素回路の部分と加算器210の入力に到着するのにかかる時間を $t_{b1}$ とする。そして、図中中央の要素回路および右側の要素回路においても同様に、 $t_{a2}$ 、 $t_{s2}$ 、 $t_{b2}$ 、 $t_{a3}$ 、 $t_{s3}$ を定義する。ここで、遅延設定値 $t_{a2}$ 、 $t_{a3}$ 以外の時間は、回路配置から計算してもよいが、正確を期するためには実際の回路において実験で求めるのが望ましい。

[0035] これにより、2段目の部分と遅延回路211の遅延設定値は、次の式(1)を満たすように設定すればよい。

$$t_{a1} + t_{s1} + t_{b1} = t_{a2} \cdots (1)$$

- [0036] また、3段目の部分和遅延回路211の遅延設定値も同様であり、次の式(2)を満たすように設定すればよい。

$$t_{a2} + t_{s2} + t_{b2} = t_{a3} \cdots (2)$$

- [0037] 以上、図示例に基づき説明したが、本発明は上述の例のビットスライス型に限定されるものでなく、例えば、図8に示すタップスライス型FIRフィルタや、図9に示すタップスライス型適応デジタルフィルタを構成することもできる。
- [0038] また、本発明のFIRフィルタ用の上記要素回路は、それぞれをLSIチップとして実現し、マルチチップモジュールやSIP (System In Package) 内で接続することで大規模なFIRフィルタを構成してもよく、あるいは1チップ1パッケージとして実現し、プリント基板上で大規模FIRフィルタを実現してもよい。
- [0039] さらに、これらの要素回路をLSI用のハードマクロやソフトマクロとして実現して、LSI上で接続し、SOC (System On a Chip) の一部として大規模FIRを実現してもよく、あるいはこれらの要素回路を内蔵したFPGAやCPLDを用意して、FPGAやCPLDの可変接続機能を用いて要素回路間を接続したり、FPGAやCPLDの内蔵モジュールを併用して大規模FIRフィルタを実現したりしてもよい。
- [0040] さらに、これらの要素回路をハイブリッド集積回路や回路モジュール、ドータ基板、もしくは、カードコネクタを持ったプリント基板等として実現し、これらを同様に接続することで大規模FIRフィルタを実現してもよく、同様に、これらの要素回路を金属や合成樹脂の容器内で構成し、それらをシステム間接続用のコネクタとケーブルで接続することで大規模FIRを実現してもよい。

#### 産業上の利用可能性

- [0041] 本発明は、ハイエンドからローエンドまで、あらゆる種類のFIRフィルタの実装に利用可能であり、安価なFIRフィルタの実現を容易なものとすることができる。

## 請求の範囲

- [1] 互いに縦続接続されるとともに各々入力データを遅延させて出力する複数の入力遅延回路と、前記複数の入力遅延回路のそれぞれの入力データと最後段の入力遅延回路の出力データとにそれぞれ係数を乗算して部分出力データとする複数の乗算回路とを具え、前記複数の乗算回路の部分出力データを互いに加算してフィルタ出力データとするFIRフィルタにおいて、

それぞれ前記縦続接続された複数の入力遅延回路をその縦続接続方向に沿って複数の分割してなる一または複数の入力遅延回路および前記一または複数の入力遅延回路に接続された一または複数の乗算回路を有して、前記一または複数の乗算回路の部分出力データから部分和データを求める複数の要素回路を具え、

前記複数の要素回路のうち、初段の要素回路は前記部分和データをそのまま出力し、二段目以降の要素回路はその要素回路内で求めた前記部分和データを遅延させたものを前段の要素回路の出力する部分和数据に加算して求めた部分和数据を出力し、最終段の要素回路は出力する部分和数据をフィルタ出力データとすることを特徴とする、FIRフィルタ。

- [2] フィルタ入力データを入力される1または互いに縦続接続された複数の前記入力遅延回路と、前記1または複数の入力遅延回路の入力データにそれぞれ係数を乗算して部分出力データとする1または複数の前記乗算回路と、前記1または複数の乗算回路の部分出力データを互いに加算して部分和数据とする部分出力加算器と、を有する1つの初段要素回路と、

前記初段要素回路または前段の当該中間段要素回路の最終段の入力遅延回路の出力データを入力される1または互いに縦続接続された複数の前記入力遅延回路と、前記1または複数の入力遅延回路の入力データにそれぞれ係数を乗算して部分出力データとする1または複数の前記乗算回路と、前記1または複数の乗算回路の部分出力データを互いに加算して部分和数据とする部分出力加算器と、前記部分出力加算器の部分和数据を遅延させる部分和遅延回路と、前記部分和遅延回路が遅延させた部分和数据を前記初段要素回路または前段の当該中間段要素回路の部分和数据と加算して部分和数据とする部分和加算器と、を有する1または複

数の中間段要素回路と、

前段の前記中間段要素回路の最終段の入力遅延回路の出力データを入力される1または互いに縦続接続された複数の前記入力遅延回路と、前記1または複数の入力遅延回路の入力データと最後段の入力遅延回路の出力データとにそれぞれ係数を乗算して部分出力データとする複数の前記乗算回路と、前記複数の乗算回路の部分出力データを互いに加算して部分和数据とする部分出力加算器と、前記部分出力加算器の部分和数据を遅延させる部分和遅延回路と、前記部分和遅延回路が遅延させた部分和数据を前段の前記中間段要素回路の部分和数据と加算してフィルタ出力データとする部分和加算器と、を有する1つの終段要素回路と、

を具えることを特徴とする、請求項1記載のFIRフィルタ。

- [3] 元のフィルタ入力データから分割された複数の分割入力データにそれぞれ対応する複数の要素回路組であって、各要素回路組が前記初段要素回路と前記中間段要素回路と前記終段要素回路とからなり、それらの要素回路組の互いに対応する段の要素回路の前記乗算回路の前記係数が揃えられている複数の要素回路組と、

前記複数の要素回路組の前記終段要素回路が出力するフィルタ出力データとしての部分出力データを小数点位置をそろえて互いに加算して元の入力データに対応するビット長のフィルタ出力データを出力するフィルタ出力加算器と、

を具えることを特徴とする、請求項2記載のFIRフィルタ。

- [4] 前記乗算回路は前記係数を変更可能なものであることを特徴とする、請求項2または3記載のFIRフィルタ。

- [5] 1または互いに縦続接続された複数の前記入力遅延回路と、

前記1または複数の入力遅延回路の入力データにそれぞれ係数を乗算して部分出力データとする1または複数の前記乗算回路と、

前記1または複数の乗算回路の部分出力データを互いに加算して部分和数据とする部分出力加算器と、

を有することを特徴とする、請求項1から4までの何れか記載のFIRフィルタ用要素回路。

- [6] 1または互いに縦続接続された複数の前記入力遅延回路と、

前記1または複数の入力遅延回路の入力データにそれぞれ係数を乗算して部分出力データとする1または複数の前記乗算回路と、

前記1または複数の乗算回路の部分出力データを互いに加算して部分和数据とする部分出力加算器と、

前記部分出力加算器の部分和数据を遅延させる部分和数据遅延回路と、

前記部分和数据遅延回路が遅延させた部分和数据を前記初段要素回路または前段の前記中間段要素回路の部分和数据と加算して部分和数据とする部分和数据加算器と、

を有することを特徴とする、請求項1から4までの何れか記載のFIRフィルタ用要素回路。

[7] 1または互いに縦続接続された複数の前記入力遅延回路と、

前記1または複数の入力遅延回路の入力データと最後段の入力遅延回路の出力データとにそれぞれ係数を乗算して部分出力データとする複数の前記乗算回路と、

前記複数の乗算回路の部分出力データを互いに加算して部分和数据とする部分出力加算器と、

前記部分出力加算器の部分和数据を遅延させる部分和数据遅延回路と、

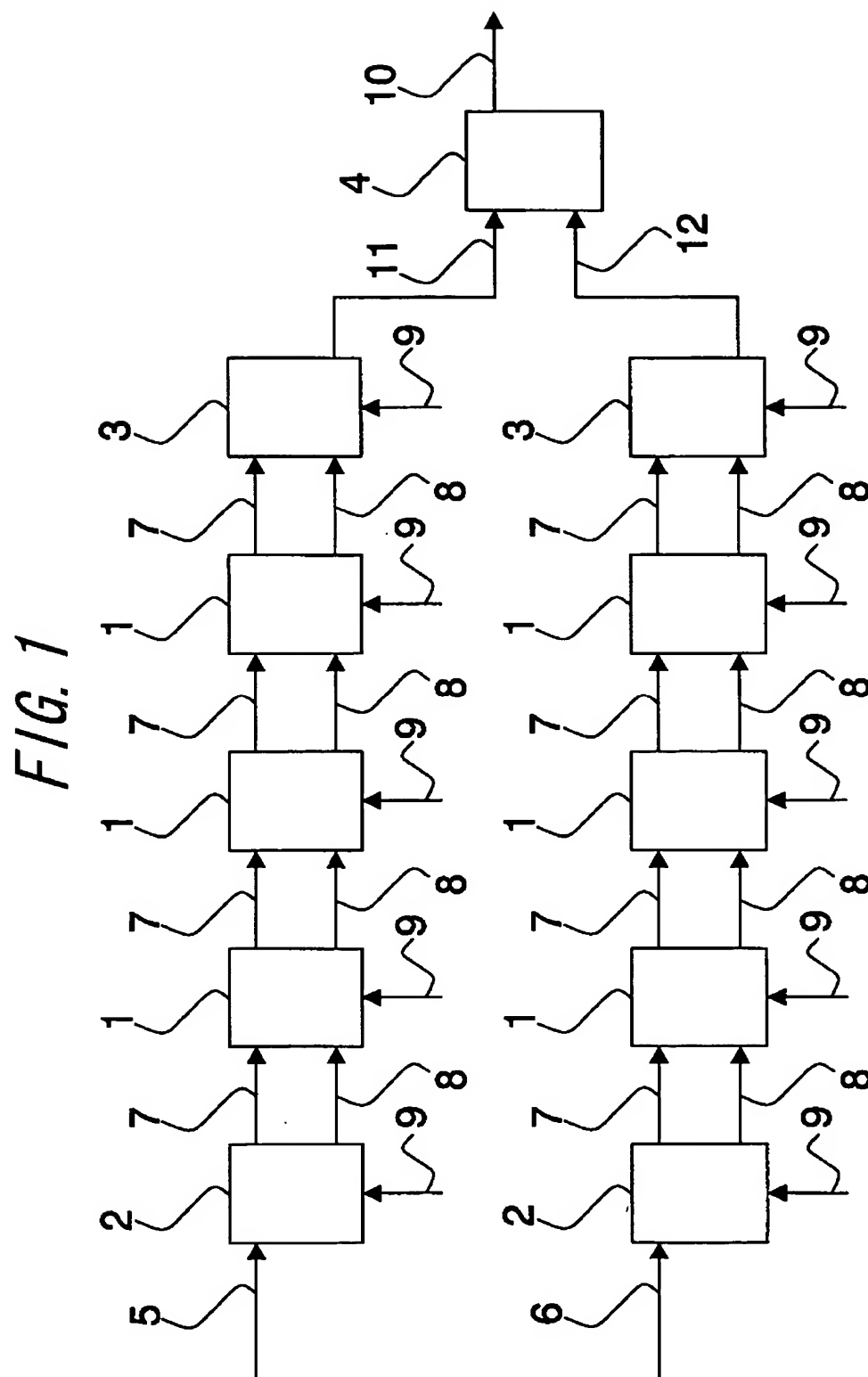
前記部分和数据遅延回路が遅延させた部分和数据を前段の前記中間段要素回路の部分和数据と加算してフィルタ出力データとする部分和数据加算器と、

を有することを特徴とする、請求項1から4までの何れか記載のFIRフィルタ用要素回路。

[8] 前記FIRフィルタ用要素回路は、前記初段要素回路と前記終段要素回路との少なくとも一方に代用されることを特徴とする、請求項6記載のFIRフィルタ用要素回路。

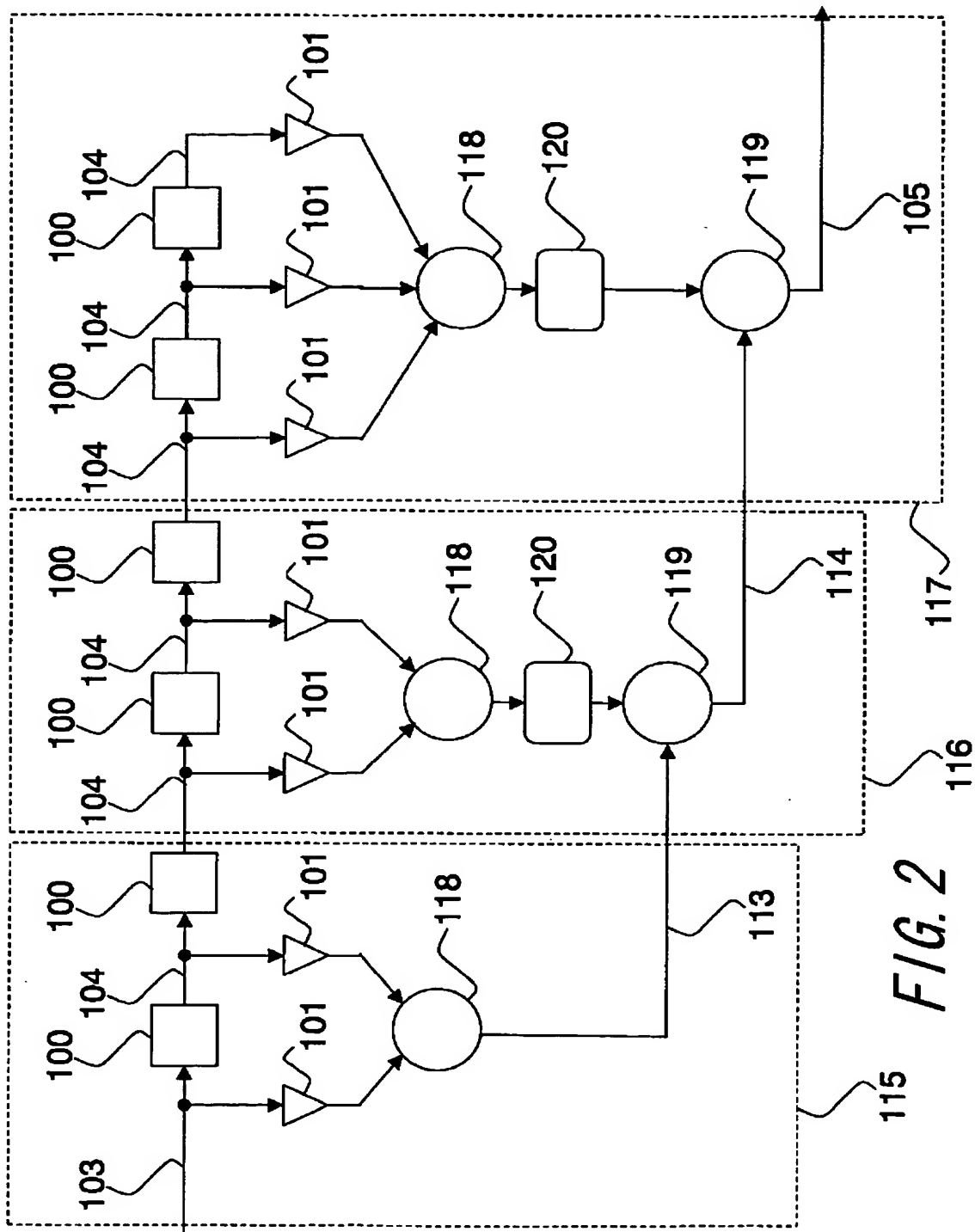
[9] 前記乗算回路は前記係数を変更可能なものであることを特徴とする、請求項5から8までの何れか記載のFIRフィルタ用要素回路。

[図1]





[図2]



[図3]

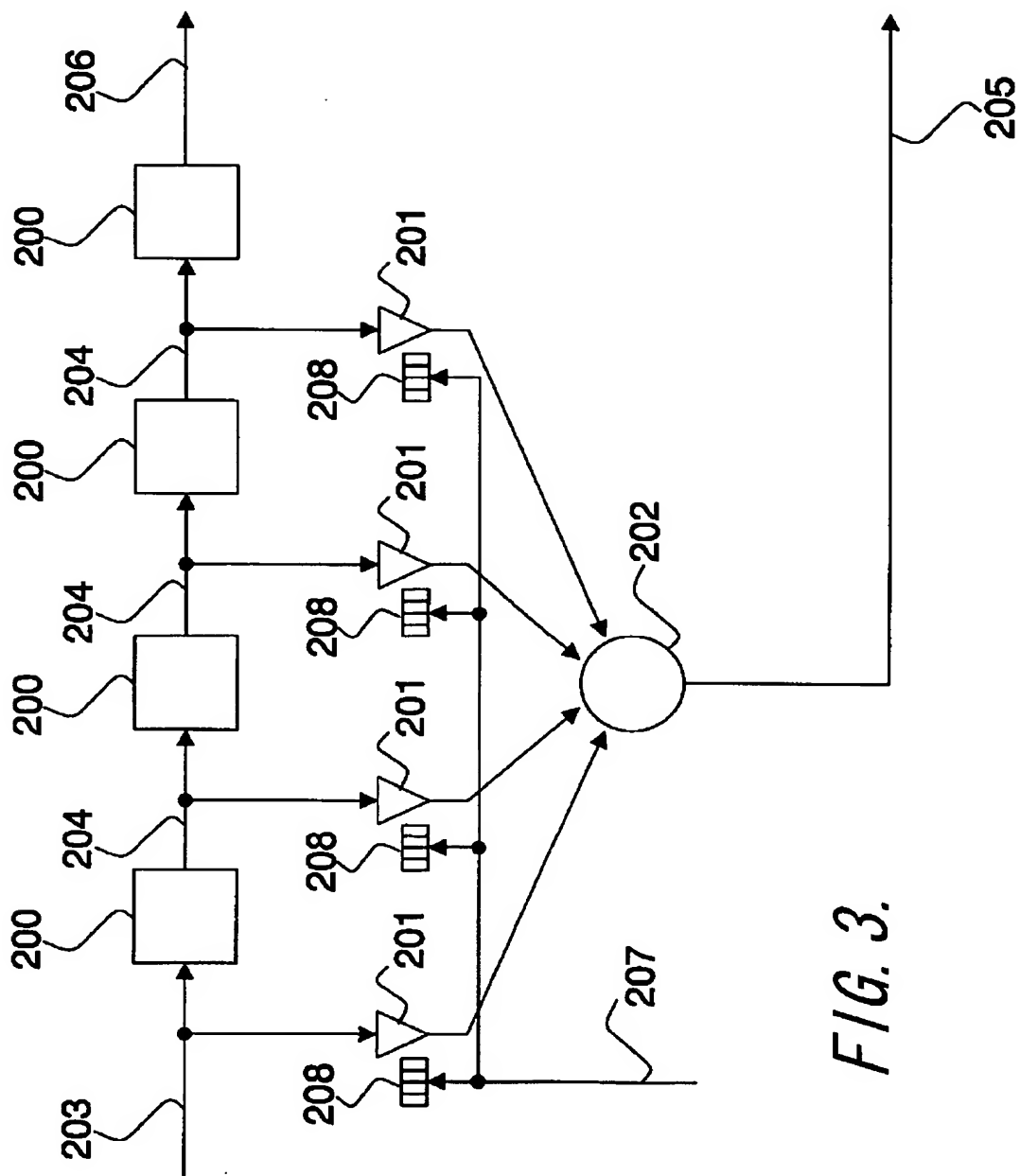
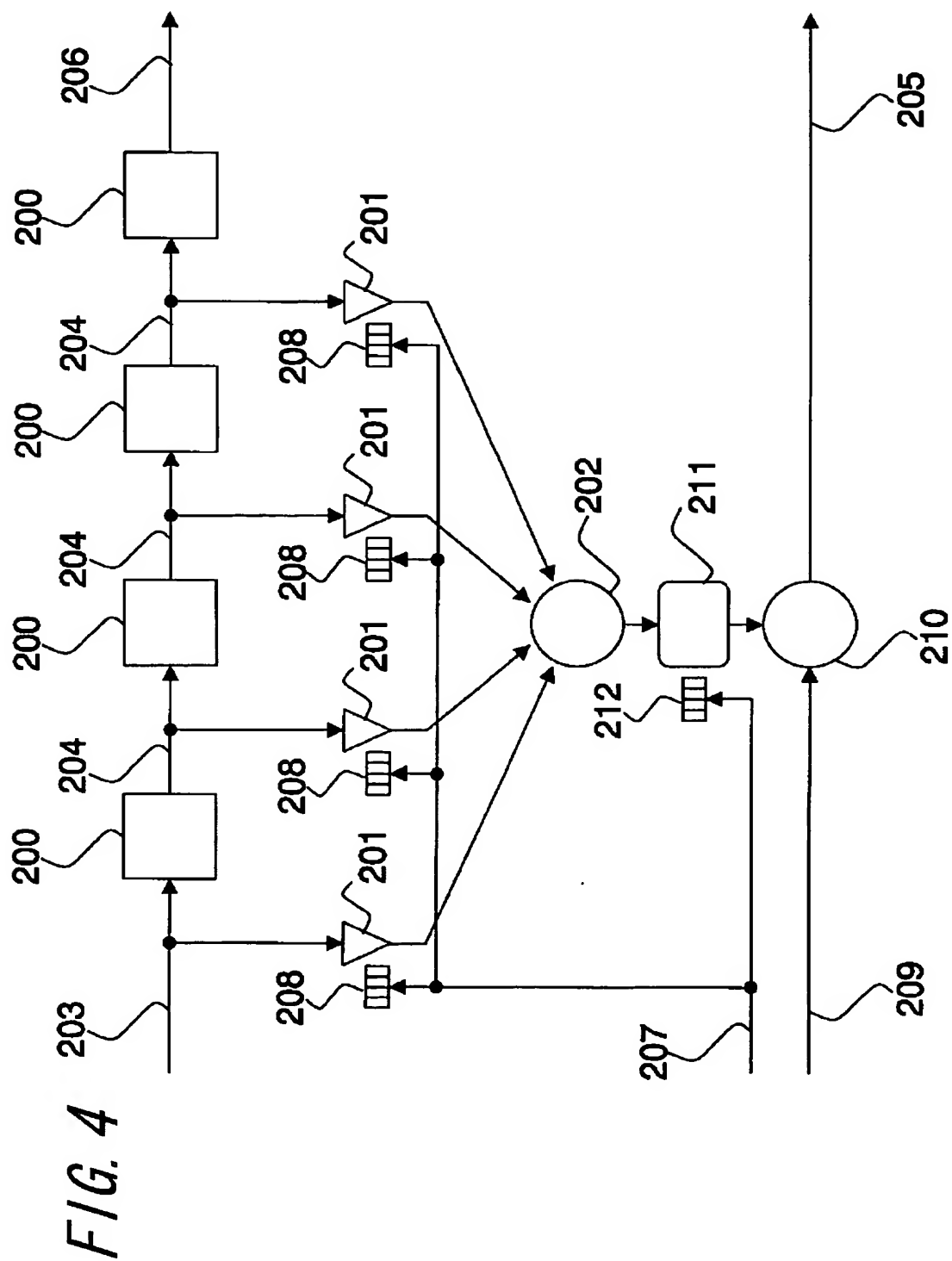
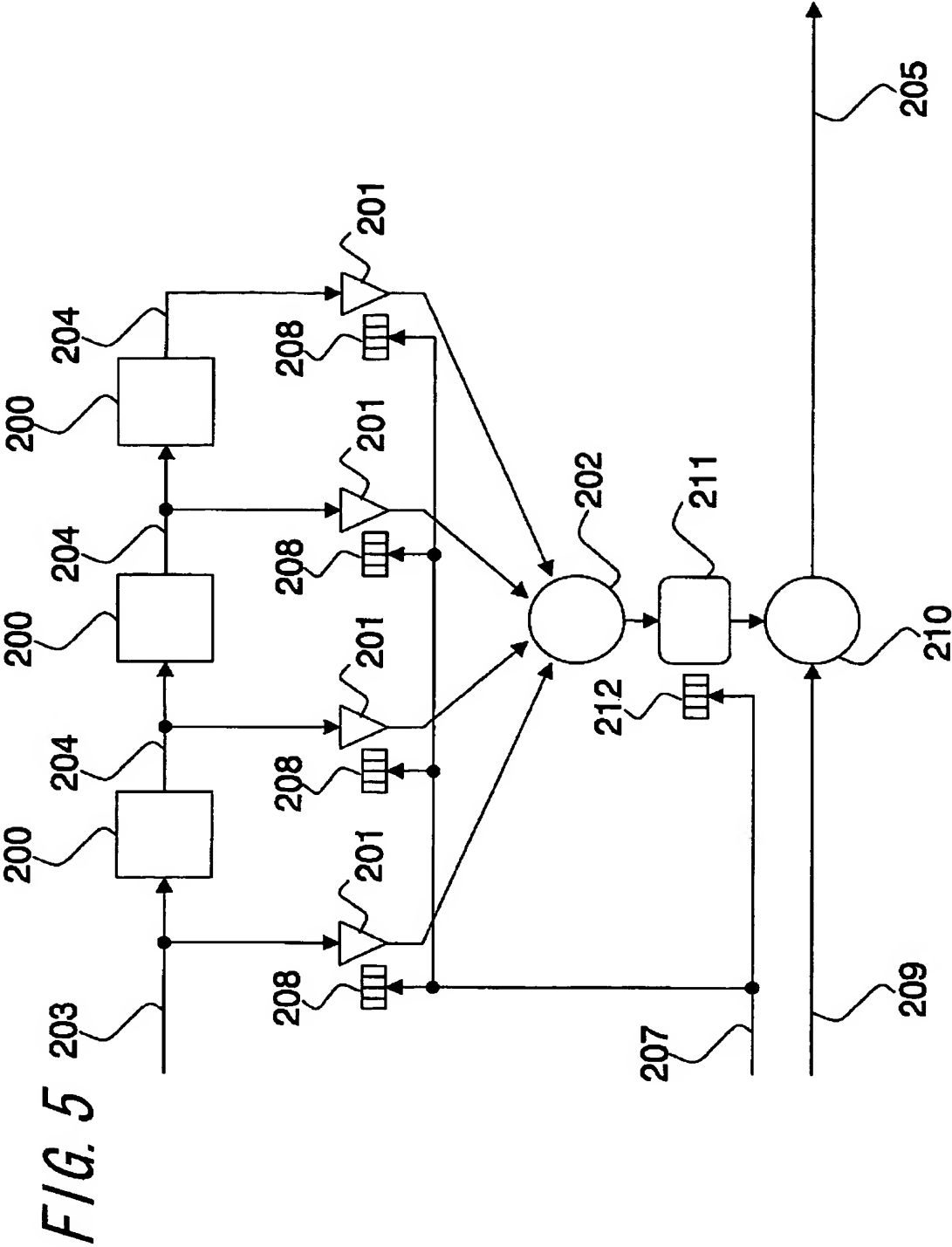


FIG. 3.

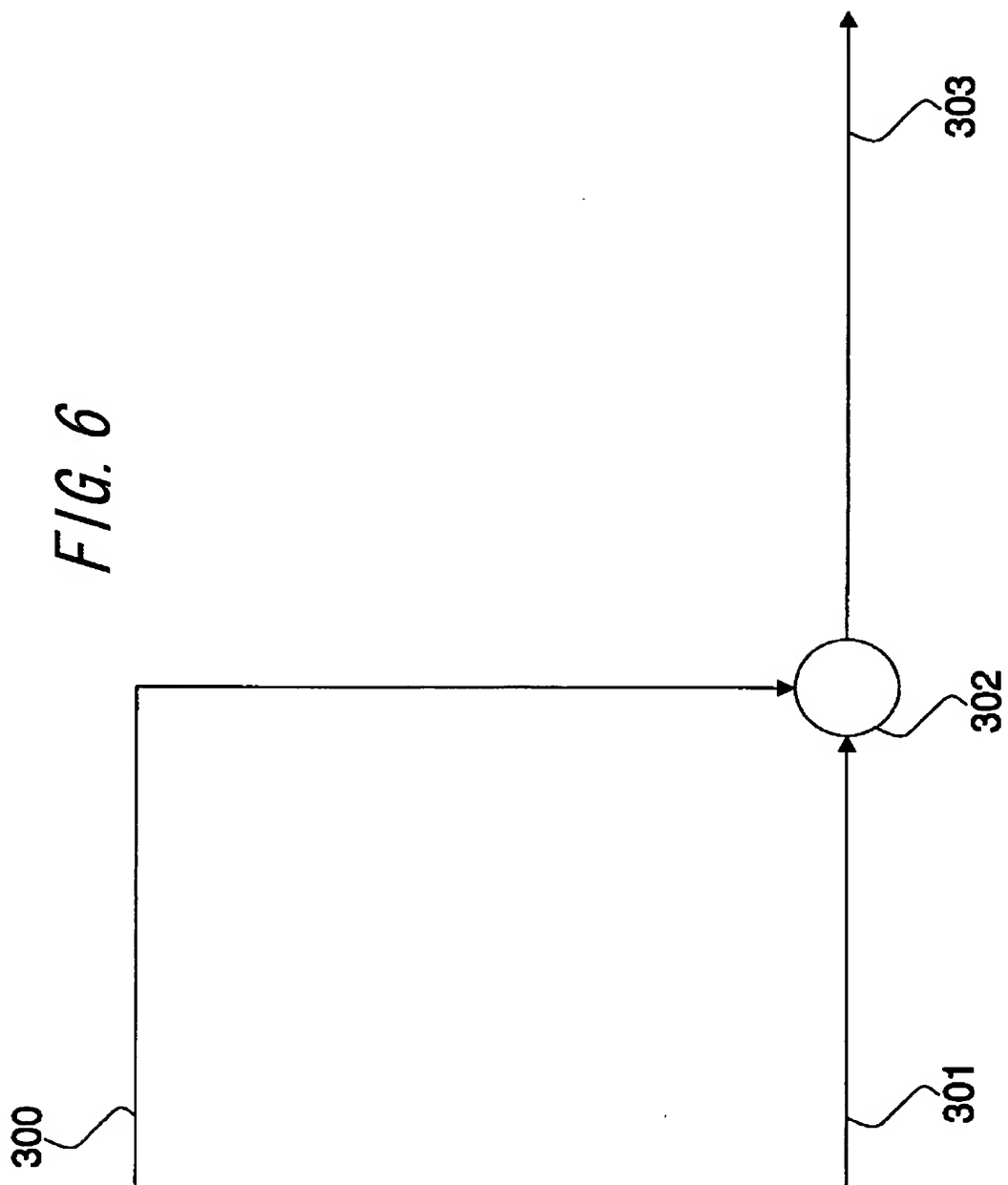
[図4]



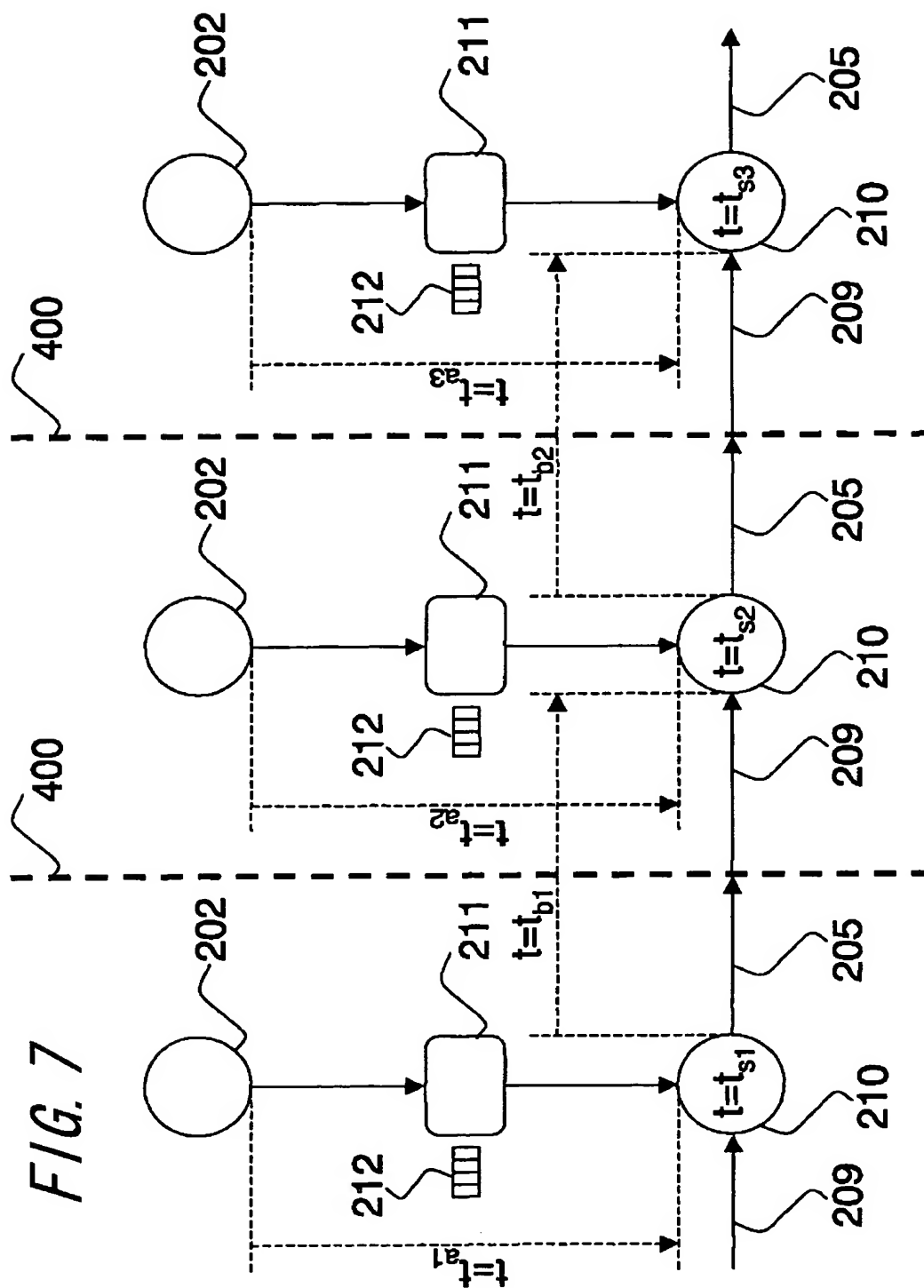
[図5]



[図6]

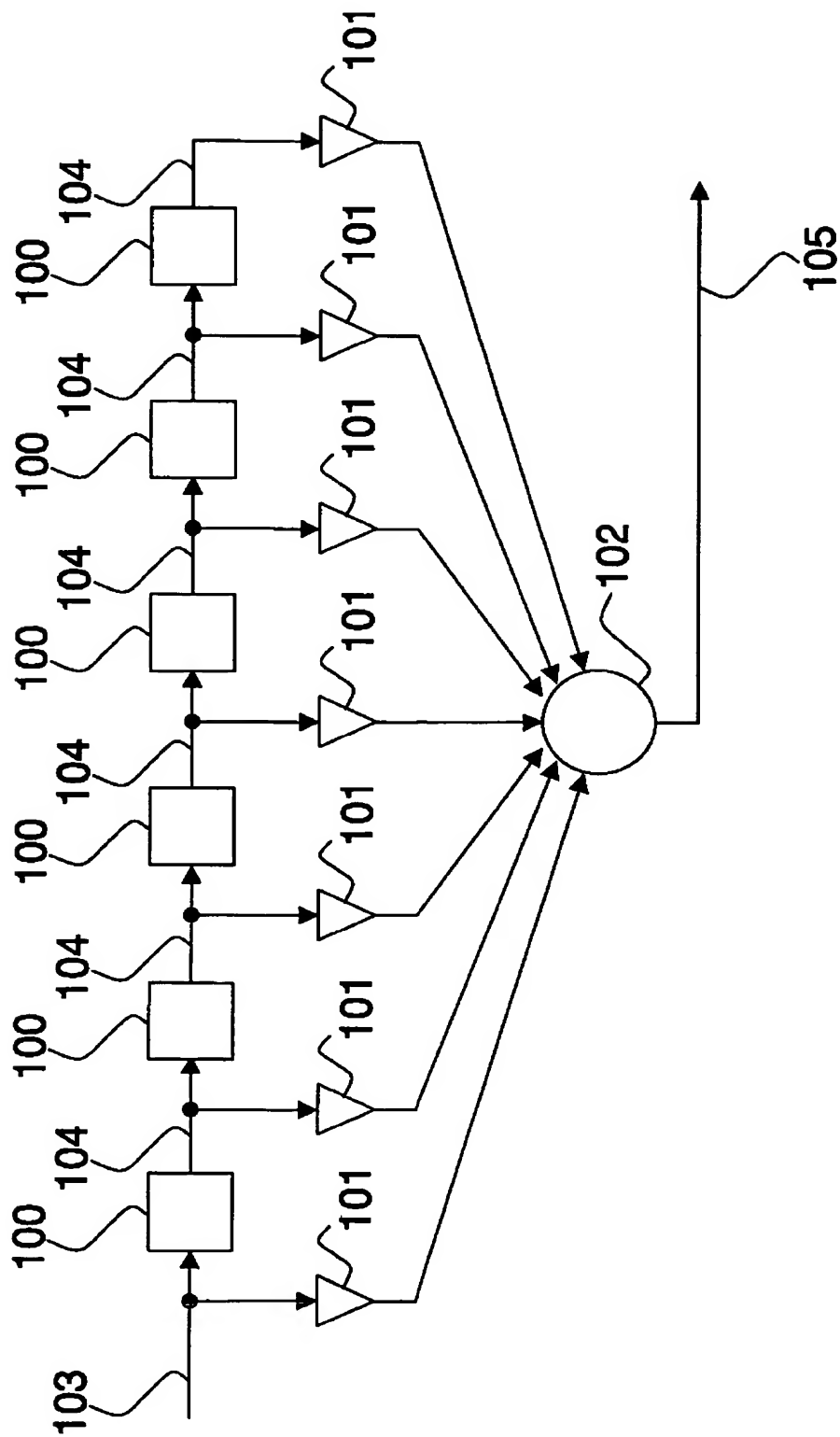


[図7]

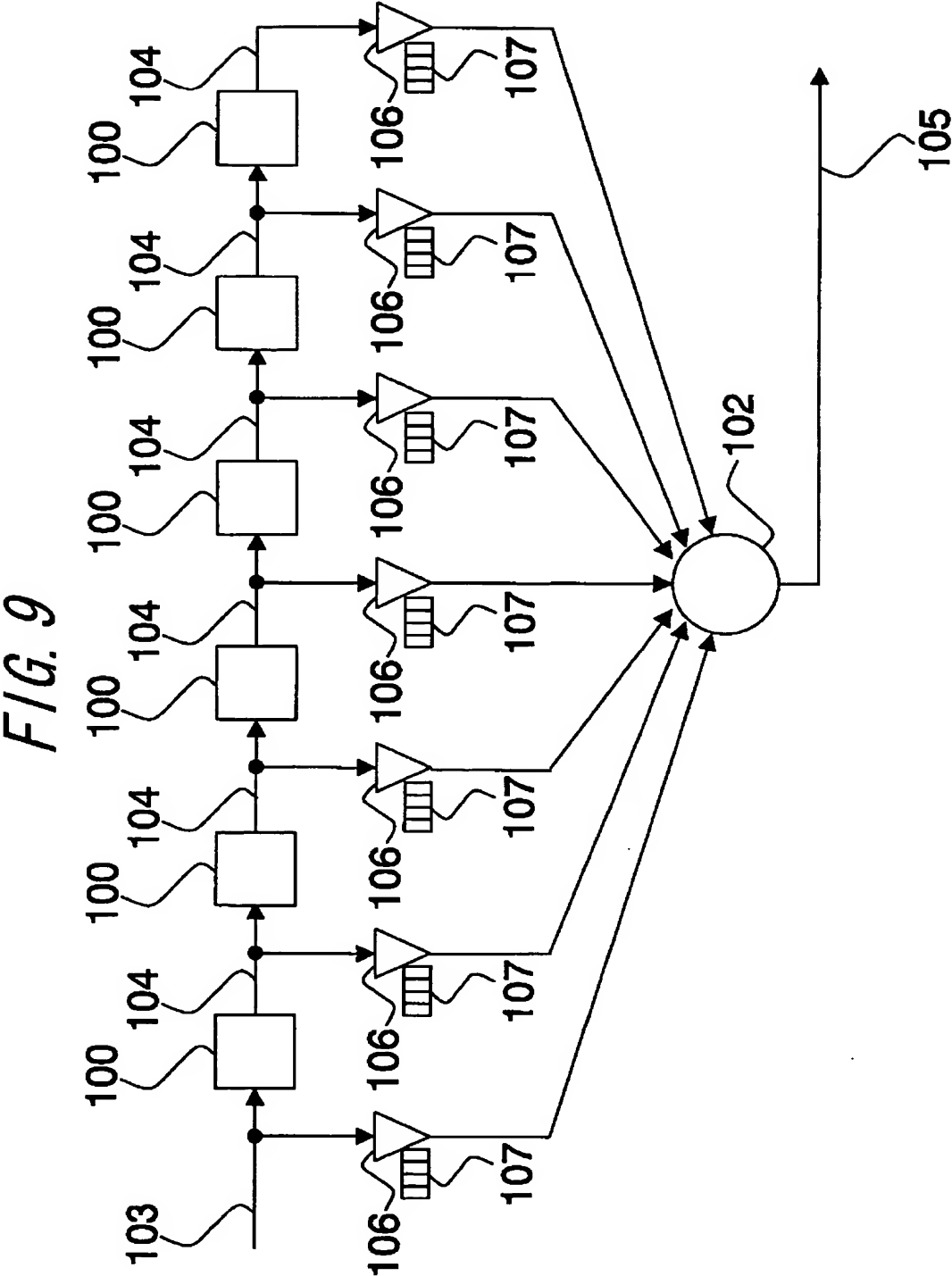


[図8]

FIG. 8

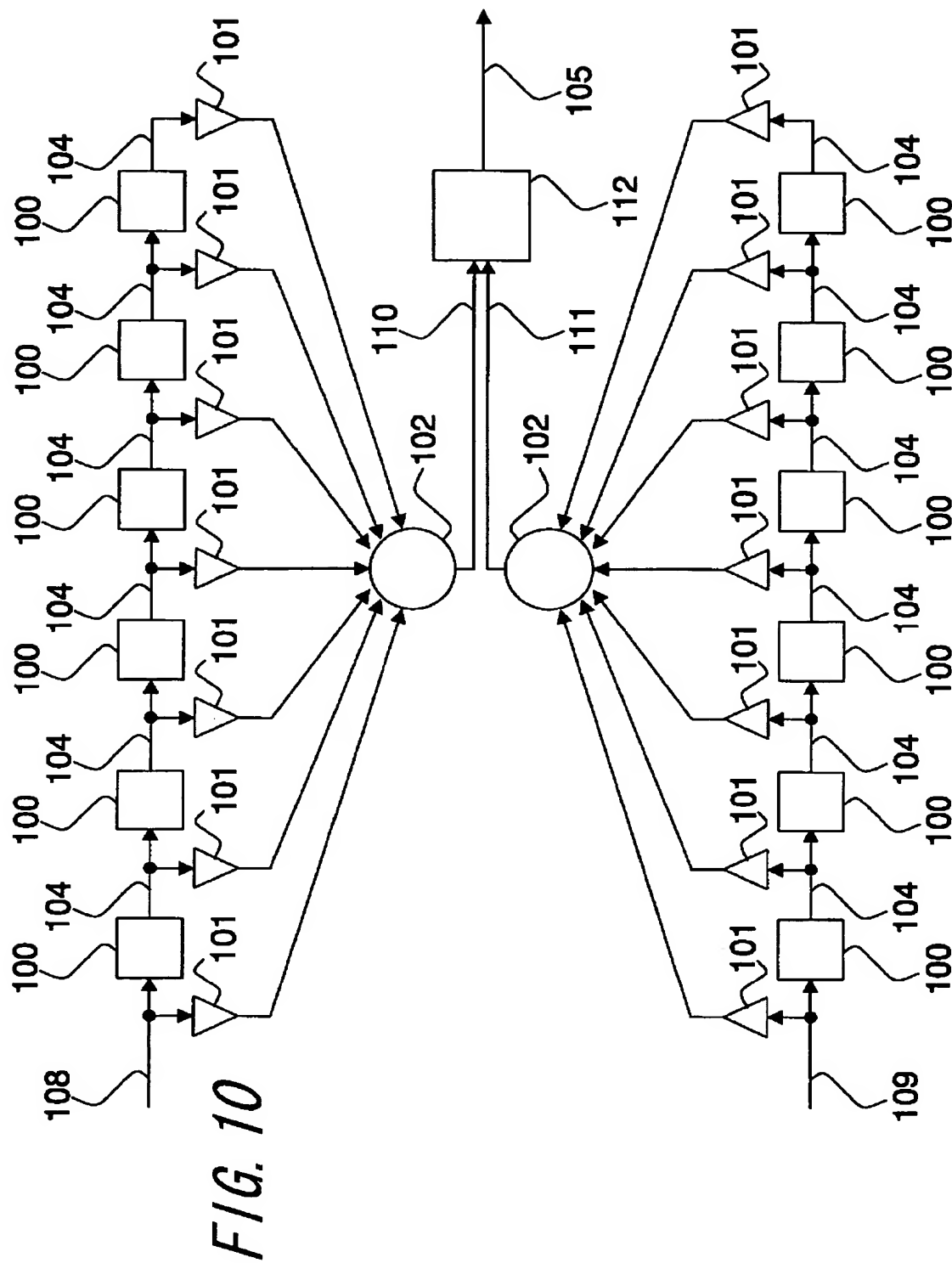


[図9]





[図10]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/018054

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H03H17/06

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H03H17/00-17/08, G06F17/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Jitsuyo Shinan Toroku Koho	1996-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 5-75394 A (Matsushita Electric Industrial Co., Ltd.), 26 March, 1993 (26.03.93), Par. Nos. [0025] to [0032]; Figs. 1, 2 (Family: none)	1-9
A	JP 57-208722 A (Sony Corp.), 21 December, 1982 (21.12.82), Page 2, upper right column, line 4 to page 3, upper left column, line 12; Fig. 3 (Family: none)	1-9
A	JP 60-15769 A (Sony Corp.), 26 January, 1985 (26.01.85), Page 4, upper right column, line 16 to lower left column, line 10; Fig. 14 (Family: none)	1-9

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
09 March, 2005 (09.03.05)

Date of mailing of the international search report  
29 March, 2005 (29.03.05)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
Int. Cl.<sup>7</sup> H03H17/06

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.<sup>7</sup> H03H17/00-17/08, G06F17/10

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年  
日本国公開実用新案公報 1971-2005年  
日本国登録実用新案公報 1994-2005年  
日本国実用新案登録公報 1996-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 5-75394 A (松下電器産業株式会社) 1993. 03. 26, 段落【0025】～【0032】，【図1】，【図2】 (ファミリーなし)	1-9
A	JP 57-208722 A (ソニー株式会社) 1982. 12. 21, 第2頁右上欄第4行～第3頁左上欄第12行，第3図 (ファミリーなし)	1-9

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日

09. 03. 2005

国際調査報告の発送日

29. 3. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

高木 進

5W

3139

電話番号 03-3581-1101 内線 3575

[illegible]